

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-250676

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 C

H 0 1 L 27/115

6 4 1

21/8247

H 0 1 L 27/10

4 3 4

29/788

29/78

3 7 1

29/792

審査請求 有 請求項の数12 O L (全 16 頁)

(21) 出願番号 特願平10-348603  
(62) 分割の表示 特願平5-311732の分割  
(22) 出願日 平成5年(1993)12月13日

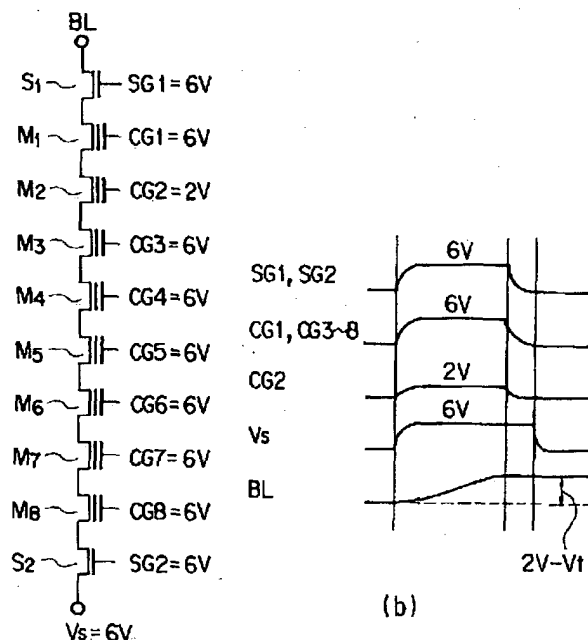
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 ヘミンク・ゲルトヤン  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(72) 発明者 田中 智晴  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 ペリファイ読み出し電圧を変えずに多値情報を読み出すことができ、ペリファイ読み出し時間の短縮をはかり得るNANDセル型E P R O Mを提供すること。

【解決手段】 半導体層上に浮遊ゲートと制御ゲートC G (C G 1 ~ C G 8) を積層して構成され、電氣的書き換えを可能としたメモリセルM (M 1 ~ M 8) を直列接続してなるNANDセルをマトリクス状に配置されたメモリセルアレイを有するE E P R O Mにおいて、メモリセルMはしきい値で3以上の複数のデータを多値記憶するものであり、データ読み出し時にメモリセルMに接続されるビット線B L を該メモリセルMを介して充電し、かつメモリセルMの多値データを多値レベルの電位としてビット線B L に出だし、充電された多値レベルのビット線電位をセンスアンプによりセンスすることを特徴とする。



(a)

(b)

1

## 【特許請求の範囲】

【請求項 1】電気的書き替えを可能とし  $n$  個の記憶状態 ( $n \geq 3$ ) を持つことが可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、各々が前記ビット線のそれぞれに対して設けられ、データ書き込み中にそれぞれのメモリセルに印加される書き込みパルスを制御する制御データを記憶し、記憶している制御データによって決まる参照信号と前記ビット線を介して出力されるメモリセルの記憶状態を示す信号とを比較して、データ書き込み中にそれぞれのメモリセルの記憶状態が所望の状態に達したか否かを検出する、複数のデータ回路と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】データ入力バッファを備え、前記データ回路に記憶される制御データは前記データ入出力バッファから送られてくる初期制御データに初期的に設定される、ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】前記データ回路は、記憶している制御データに従って対応するメモリセルに印加される書き込みパルスの電圧を制御する、ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】データ書き込みは、前記メモリセルの全てが書き込まれるまで続けられる、ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】前記データ回路は、第  $i$  ( $i = 2, \dots, n$ ) の制御データを記憶している場合に、対応するメモリセルが第  $i$  の記憶状態に達したと検出したら記憶している第  $i$  の制御データを第 1 の制御データに変更し、第  $j$  ( $j = 2, \dots, n$ ) の制御データを記憶している場合に、対応するメモリセルが第  $j$  の記憶状態に達していないと検出したら記憶している第  $j$  の制御データを保持し、第 1 の制御データを記憶している場合はその第 1 の制御データを保持する、ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】前記複数のデータ回路に記憶されている制御データを検出する制御データ検出回路を備え、前記制御データ検出回路は全てのデータ回路に記憶されている制御データが第 1 の制御データか否かを検出する、ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】データ書き込みは、前記制御データ検出回路が全てのデータ回路に記憶されている制御データが第 1 の制御データであることを検出するまで続けられる、ことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】前記データ回路は、第 1 の制御データ以外の制御データを記憶している場合のみ、データ書き込み中の対応するメモリセルの記憶状態を検出する、ことを

2

特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 9】データ入力バッファを備え、

前記データ回路は、全データ入力バッファから送られてくるそれぞれのメモリセルに記憶すべき記憶状態を指示する  $n$  個の第 1, 第 2, ..., 第  $n$  の制御データのうちのいずれかを初期的に記憶し、初期的に記憶する制御データによって指示された記憶状態に達していないメモリセルにのみ書き込みを促進するような書き込みパルスが印加されるように、初期的に第  $i$  ( $i = 2, \dots, n$ ) の制御データを記憶した場合、対応するメモリセルが第  $i$  の記憶状態に達したと検出したら記憶している制御データを第 1 の制御データに変更し、第 1 の制御データを記憶している場合はその第 1 の制御データを保持する、ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】前記複数のデータ回路に記憶されている制御データを検出する制御データ検出回路を備え、前記制御データ検出回路は全てのデータ回路に記憶されている制御データが第 1 の制御データか否かを検出する、ことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】データ書き込みは、前記制御データ検出回路が全てのデータ回路に記憶されている制御データが第 1 の制御データであることを検出するまで続けられる、ことを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】前記データ回路は、第 1 の制御データ以外の制御データを記憶している場合のみ、データ書き込み中の対応するメモリセルの記憶状態を検出する、ことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気的書き換え可能な不揮発性半導体記憶装置 (EEPROM) に係わり、特に 1 つのメモリセルに 1 ビットより多い情報を記憶させる多値記憶を行う EEPROM に関する。

【0002】

【従来の技術】EEPROM の 1 つとして、高集積化が可能な NAND セル型 EEPROM が知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し、これを 1 単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート (電荷蓄積層) と制御ゲートが積層された FET MOS 構造を有する。メモリセルアレイは、p 型基板又は n 型基板に形成された p 型ウェル内に集積形成される。NAND セルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】この NAND セル型 EEPROM の動作

20

30

40

50

3

は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧  $V_{pp}$  ( $=20V$  程度) を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧  $V_{ppm}$  ( $=10V$  程度) を印加し、ビット線にはデータに応じて  $0V$  又は中間電圧  $V_m$  ( $=8V$  程度) を与える。

【0004】ビット線に  $0V$  が与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば “1” とする。ビット線に  $V_m$  が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で “0” とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0005】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲートを  $0V$  とし、 $p$  型ウェルを  $20V$  とする。このとき、選択ゲート、ビット線及びソース線も  $20V$  にされる。これにより、全てのメモリセルで電荷蓄積層の電子が  $p$  型ウェルに放出され、しきい値は負方向にシフトする。

【0006】データ読み出しは、選択されたメモリセルの制御ゲートを  $0V$  とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位  $V_{cc}$  (例えば  $5V$ ) として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0007】読み出し動作の制約から、“1” 書き込み後のしきい値は  $0V$  から  $V_{cc}$  の間に制御しなければならない。このため、書き込みベリファイが行われ、

“1” 書き込み不足のメモリセルのみを検出し、“1” 書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する (ビット毎ベリファイ)。“1” 書き込み不足のメモリセルは、選択された制御ゲートを例えば  $0.5V$  (ベリファイ電圧) にして読み出すこと (ベリファイ読み出し) で検出される。つまり、メモリセルのしきい値が  $0V$  に対してマージンを持って、 $0.5V$  以上になっていないと、選択メモリセルで電流が流れ、“1” 書き込み不足と検出される。

【0008】“0” 書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが “1” 書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。このベリファイ回路によって高速に書き込みベリファイは実行される。

【0009】書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで個々のメモリセルに対して、書き込み時間が最適化され “1” 書き込み

4

後のしきい値は  $0V$  から  $V_{cc}$  の間に制御される。

【0010】このNANDセル型EEPROMで、例えば書き込み後の状態を “0”、“1”、“2” の3つにすることを考える。“0” 書き込み状態はしきい値が負、“1” 書き込み状態はしきい値が例えば  $0V$  から  $(1/2)V_{cc}$ 、“2” 書き込み状態はしきい値が  $(1/2)V_{cc}$  から  $V_{cc}$  までとする。従来のベリファイ読み出しでは、制御ゲートにベリファイ電圧を印加しメモリセルで電流が流れるか否かで、メモリセルのしきい値がベリファイ電圧以上か否かを判断するため、“1”、“2” 書き込み状態に達しているか否かを判断するためにそれぞれベリファイ電圧を  $0V$  と  $(1/2)V_{cc}$  にして、2回チェックする必要がある、ベリファイ読み出しに時間がかかるという問題があった。

【0011】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMにおいては、メモリセルに多値情報を記憶させ、従来のベリファイ回路でビット毎ベリファイを行おうとすると、ベリファイ読み出しに時間がかかるという問題があった。

【0012】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、ベリファイ読み出し電圧を変えることなく多値情報を読み出すことができ、ベリファイ読み出し時間の短縮をはかり得るEEPROMを提供することにある。

【0013】

【課題を解決するための手段】(構成) 本発明に係わる多値 ( $n$  値) 記憶の不揮発性半導体記憶装置は、読み出し動作時のビット線電位がメモリセルのしきい値を示すように制御される。これは例えば、共通ソース線を  $6V$ 、選択された制御ゲートに  $2V$  を与え、ビット線に共通ソース線の電位を転送させる。ビット線電位がメモリセルのしきい値に達した時、メモリセルを流れる電流は止まり、そのビット線電位は制御ゲート電圧  $2V$  からメモリセルのしきい値を引いた値となる。ビット線電位が  $3V$  であれば、メモリセルのしきい値は  $-1V$  である。非選択の制御ゲートと選択ゲートは、ビット線電位が非選択メモリセル或いは選択トランジスタのしきい値で決定しないよう、例えば  $6V$  とする。

【0014】消去状態を “0” とし多値レベルをメモリセルのしきい値の低い順に “0”、“1”、…、“ $i$ ”、…、“ $n-1$ ” とすると、ベリファイ読み出しでは書き込みが十分か否かを全てのデータ “ $i$ ” について同時にベリファイするために、書き込みデータに応じてビット線電位をセンスする時の基準電位が設定される。また、データ “0” 書き込みの場合のように、すでに書き込み十分と検出されていればメモリセルの電流は補償され、書き込み不十分であると検出されていればメモリセルの電流は補償されないようベリファイ回路が設けられる。

5

【0015】また、書き込み十分か否かをデータとして記憶する第1のレジスタと、書き込む多値レベルが

“1”, ..., “n-1”のうちのいずれかを記憶する第2のレジスタを備え、第1のレジスタは書き込み十分か否かを検出するセンスアンプの機能も兼ね備える。さらに、所望の書き込み状態に達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧を出力するビット線書き込み電圧出力回路を備えたことを特徴としている。

【0016】即ち本発明は、多値記憶の不揮発性半導体記憶装置において、電気的書き替えを可能としn個の記憶状態 ( $n \geq 3$ ) を持つことが可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、データ書き込み中にそれぞれのメモリセルに印加される書き込みパルスを制御する制御データを記憶し、記憶している制御データによって決まる参照信号と前記ビット線を介して出力されるメモリセルの記憶状態を示す信号とを比較して、データ書き込み中にそれぞれのメモリセルの記憶状態が所望の状態に達したか否かを検出する、複数のデータ回路と、を備えたことを特徴とする。

【0017】ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) データ入力バッファを備え、データ回路に記憶される制御データはデータ入出力バッファから送られてくる初期制御データに初期的に設定されること。

(2) データ回路は、記憶している制御データに従って対応するメモリセルに印加される書き込みパルスの電圧を制御すること。

(3) データ書き込みは、メモリセルの全てが書き込まれるまで続けられること。

【0018】(4) データ回路は、第i ( $i = 2, \dots, n$ ) の制御データを記憶している場合に、対応するメモリセルが第iの記憶状態に達したと検出したら記憶している第iの制御データを第1の制御データに変更し、第j ( $j = 2, \dots, n$ ) の制御データを記憶している場合に、対応するメモリセルが第jの記憶状態に達していないと検出したら記憶している第jの制御データを保持し、第1の制御データを記憶している場合はその第1の制御データを保持すること。

【0019】(5) 複数のデータ回路に記憶されている制御データを検出する制御データ検出回路を備え、制御データ検出回路は全てのデータ回路に記憶されている制御データが第1の制御データか否かを検出すること。

(6) データ書き込みは、制御データ検出回路が全てのデータ回路に記憶されている制御データが第1の制御データであることを検出するまで続けられること。

【0020】(7) データ回路は、第1の制御データ以外

6

の制御データを記憶している場合のみ、データ書き込み中の対応するメモリセルの記憶状態を検出すること。

(8) データ入力バッファを備え、データ回路は、全データ入力バッファから送られてくるそれぞれのメモリセルに記憶すべき記憶状態を指示するn個の第1, 第2, ..., 第nの制御データのうちのいずれかを初期的に記憶し、初期的に記憶する制御データによって指示された記憶状態に達していないメモリセルにのみ書き込みを促進するような書き込みパルスが印加されるように、初期的に第i ( $i = 2, \dots, n$ ) の制御データを記憶した場合、対応するメモリセルが第iの記憶状態に達したと検出したら記憶している制御データを第1の制御データに変更し、第1の制御データを記憶している場合はその第1の制御データを保持すること。

【0021】(9) 複数のデータ回路に記憶されている制御データを検出する制御データ検出回路を備え、制御データ検出回路は全てのデータ回路に記憶されている制御データが第1の制御データか否かを検出すること。

(10) データ書き込みは、制御データ検出回路が全てのデータ回路に記憶されている制御データが第1の制御データであることを検出するまで続けられること。

(11) データ回路は、第1の制御データ以外の制御データを記憶している場合のみ、データ書き込み中の対応するメモリセルの記憶状態を検出すること。

【0022】(作用) 本発明においては、多値データ書き込みを行った後、個々のメモリセルの書き込み状態がその所望の多値レベル状態に達しているか否かが同時に検出される。そして、所望の多値レベルに達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧が出力される。この書き込み動作とベリファイ読み出しを繰り返し、全てのメモリセルが所望の書き込み状態に達していることを確認したらデータ書き込みを終了する。

【0023】このようにして本発明によれば、1回の書き込み時間を短くして、書き込み状態の進行の程度をチェックしながら小刻みに書き込み動作を繰り返すことによって、最終的にデータ書き込みが終了したメモリセルのしきい値を小さくすることを、高速に行うことができる。

【0024】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0025】図1は、本発明の第1の実施形態に係わるNANDセル型EEPROMのメモリセルアレイ1を示している。メモリセルアレイ1はpウェル又はp基板上に形成され、ビット線BLに接続される選択トランジスタS1と、共通ソース線Vsに接続される選択トランジスタS2との間に、8つのメモリセルM1~M8が直列接続され1つのNANDセルを構成する。各選択トラン

7

ジスタS (S1, S2)は選択ゲートSG (SG1, SG2)を有する。各メモリセルは積層形成された浮遊ゲート(電荷蓄積層)と制御ゲートCG (CG1~CG8)を有し、浮遊ゲートに蓄えられる電荷の量で情報を記憶する。この蓄えられた電荷の量は、メモリセルのしきい値として読み出すことができる。

【0026】本発明では、このしきい値を図2に示されるようにして読み出す。ここでは、制御ゲートCG2を有するメモリセルM2が選択されている。図2(a)に示すように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線VsによってNANDセルを通して充電される。この充電されたビット線BLの電位が選択されたメモリセルM2のしきい値によって決まるように、各選択ゲート、制御ゲート電圧は制御される。

【0027】この例では、選択ゲートSG1, 2、制御ゲートCG1, CG3~8を6Vに、選択された制御ゲートCG2を2Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図2(b)に示されている。これにより2V以下のしきい値を読み出すことができ、非選択メモリセルのしきい値を2.5V以下に制御しておけば1.5V以上のしきい値を読み出すことができる。ビット線BLの電位が0Vであればしきい値は2V以上、ビット線電位が3.5Vであればしきい値は-1.5V以下である。選択ゲートSG1, 2、非選択制御ゲートCG1, CG3~8の電圧を十分高くすると-4Vまでのしきい値も読み出すことができる。

【0028】この場合のメモリセルのしきい値とビット線出力電圧の関係は、図3に示すようになる。バックバイアスが0Vの場合のしきい値から計算すると実線のようになるが、実際にはビット線電圧がバックバイアスとなって1点鎖線のようにビット線出力電圧は低くなる。以下、説明の簡略化のため断らない限りしきい値という表現は、バックバイアスを考慮したものとする。

【0029】消去動作によってメモリセルの浮遊ゲートから電子が放出された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートに注入される。図4は、非選択メモリセルのしきい値で読み出し時のビット線出力電圧が制限されない場合の、書き込み時間と読み出し時のビット線出力電圧の関係を示している。例えば、読み出し時の共通ソース線の電圧が3Vの場合は、浮遊ゲートへ電子が注入されしきい値が-1V以上にならないとビット線出力電圧は変化しない。共通ソース線の電圧が6Vの場合でも、非選択メモリセルのしきい値が正の値であれば、読み出し時のビット線出力電圧は制限される。

【0030】1つのメモリセルに2つの状態(データ“0”, “1”)を持たせる場合、例えば図5に示すように読み出し時のビット線出力電圧が3~4Vとなる状

8

態(しきい値で約-2V~-1V)をデータ“0”(消去状態)、ビット線出力電圧が1~2Vとなる状態(しきい値で約0~1V)をデータ“1”とすればよい。

【0031】1つのメモリセルに3つの状態(データ“0”, “1”, “2”)を持たせる場合、例えば図6に示すように読み出し時のビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約-2.5V~-1.5V)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約-0.5V~0.5V)をデータ“1”、ビット線出力電圧が0~0.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”とすればよい。

【0032】図7は、本発明の第2の実施形態に係わるNORセル型EEPROMのメモリセルアレイ1を示している。メモリセルアレイ1はpウェル又はp基板上に形成され、ビット線BLと共通ソース線Vsの間に、メモリセルMが1つずつ配置される。各メモリセルは積層形成された浮遊ゲートとワード線WLを有する。

【0033】このメモリセルのしきい値を図8に示されるようにして読み出す。図8(a)に示すように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線Vsによってメモリセルを通して充電される。この充電されたビット線BLの電位は選択されたメモリセルMのしきい値で決まる。

【0034】この例では、ワード線WLを6Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図8

(b)に示されている。これにより、0~6Vのしきい値を読み出すことができる。ビット線BLの電位が0Vであればしきい値は6V以上、ビット線電位が6Vであればしきい値は0V以下である。この場合のメモリセルのしきい値とビット線出力電圧の関係は、図9に示すようになる。バックバイアスが0Vの場合のしきい値から計算すると実線のようになるが、実際には図3と同様に、ビット線電圧がバックバイアスとなって1点鎖線のようにビット線出力電圧は低くなる。

【0035】消去動作によってメモリセルの浮遊ゲートに電子が注入された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートから放出される。図10は、書き込み時間と読み出し時のビット線出力電圧の関係を示している。例えば、読み出し時の共通ソース線の電圧が3Vの場合は、浮遊ゲートから電子が放出されしきい値が3V以下になるとビット線出力電圧は変化しない。共通ソース線の電圧が6Vの場合でも、しきい値が0V以下になると読み出し時のビット線出力電圧は変化しなくなる。

【0036】1つのメモリセルに2つの状態(データ“0”, “1”)を持たせる場合、例えば図11に示すように読み出し時のビット線出力電圧が1~2Vとなる状態(しきい値で約4N~5V)をデータ“0”(消去

状態)、ビット線出力電圧が3~4Vとなる状態(しきい値で約2V~3V)をデータ“1”とすればよい。

【0037】1つのメモリセルに3つの状態(データ“0”、“1”、“2”)を持たせる場合、例えば図12に示すように読み出し時のビット線出力電圧が0~0.5Vとなる状態(しきい値で約5.5V以上)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約3.5V~4.5V)をデータ“1”、ビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”とすればよい。

【0038】図13は、本発明における第1及び第2の実施形態における3値記憶式EEPROMの構成を示している。メモリセルアレイ1(a)(b)に対して、読み出し/書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路6が設けられる。ビット線制御回路2はカラム・デコーダ3によって選択される。ビット線制御回路2は、データ入出力線(IO線)を介して入出力データ変換回路4と読み出しデータ/書き込みデータのやり取りを行う。入出力データ変換回路4は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報に変換する。入出力データ変換回路4は、外部とのデータ入出力を制御するデータ入出力バッファ5に接続される。

【0039】図14は、第1の実施形態におけるNANDセル型EEPROMのメモリセルアレイ1とビット線制御回路2の具体的な構成を示している。NAND型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。選択ゲートSG1、2、制御ゲートCG1~8は、複数個のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルMはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、前記図6に示すように“0”、“1”、“2”データを記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。

【0040】この実施形態では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1(a)(b)はそれぞれ専用のpウェル上に形成されている。

【0041】nチャネルMOSトランジスタ(n-ch Tr.)Qn8~10とpチャネルMOSトランジスタ(p-ch Tr.)Qn3~5、n-ch Tr. Qn11~13とp-ch Tr. Qn6~8でそれぞれフリップ・フロップFF1、2を構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。フリップ・フロップFF1は、「“0”書き込みをするか、“1”又は

“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが“0”の情報を持しているか、“1”又は“2”の情報を持しているか」、を読み出しデータ情報としてラッチする。フリップ・フロップFF2は、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが“2”の情報を持しているか、“0”又は“1”の情報を持しているか」、を読み出しデータ情報としてラッチする。

【0042】n-ch Tr. Qn1は、プリチャージ信号φpaが“H”となると電圧Vaをビット線BLaに転送する。n-ch Tr. Qn20は、プリチャージ信号φpbが“H”となると電圧Vbをビット線BLbに転送する。n-ch Tr. Qn4~7、p-ch Tr. Qp1~2は、フリップ・フロップFF1、FF2にラッチされているデータに応じて、電圧VBHa、VBMa、VBLaを選択的にビット線BLaに転送する。n-ch Tr. Qn14~17、p-ch Tr. 9~10は、フリップ・フロップFF1、FF2にラッチされているデータに応じて、電圧VBHb、VBMb、VBLbを選択的にビット線BLbに転送する。n-ch Tr. Qn2は信号φa1が“H”となることでフリップ・フロップFF1とビット線BLaを接続する。n-ch Tr. Qn3は信号φa2が“H”となることでフリップ・フロップFF2とビット線BLaを接続する。n-ch Tr. Qn19は信号φb1が“H”となることでフリップ・フロップFF1とビット線BLbを接続する。n-ch Tr. Qn18は信号φb2が“H”となることでフリップ・フロップFF2とビット線BLbを接続する。

【0043】次に、このように構成されたEEPROMの動作を図15~17に従って説明する。図15は読み出し動作のタイミング、図16は書き込み動作のタイミング、図17はベリファイ読み出し動作のタイミングを示している。いずれも制御ゲートCG2aが選択された場合を例に示してある。

【0044】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧Vbが3Vとなってダミービット線となるビット線BLbはプリチャージされる。また、プリチャージ信号φpaが“L”となって選択ビット線BLaはフローティングにされ、共通ソース線Vsaが6Vとなる。続いて、選択ゲートSG1a、2a、制御ゲートCG1a、3a~8aは6Vとされる。同時に選択された制御ゲートCG2aは2Vにされる。選択されたメモリセルにデータ“0”が書き込まれている場合のみ、ビット線BLaの電圧は3V以上となる。

【0045】この後、フリップ・フロップ活性化信号φnl、φplがそれぞれ“L”、“H”となって、フリップ・フロップFF1はリセットされる。信号φal、φblが“H”となってフリップ・フロップFF1とビット線BLa、BLbは接続され、信号φnl、φplがそれぞれ

11

“H”、“L”となってビット線電位がセンスされ、フリップ・フロップFF1に、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【0046】読み出し第2サイクルは読み出し第1サイクルと、ダミービット線BLbの電圧が3Vでなく1Vであること、信号φa1、φb1、φn1、φp1のかわりに信号φa2、φb2、φn2、φp2が出力されることが違う。よって、読み出し第2サイクルでは、フリップ・フロップFF2に、「“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0047】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。

【0048】データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値Vtは-1.5V以下となっている。消去はpウェル、共通ソース線Vs a、選択ゲートSG1 a、2 aを20Vにし、制御ゲートCG1 a~8 aを0Vとして行われる。

【0049】書き込み動作では、まずプリチャージ信号φpaが“L”となってビット線BL aがフローティングにされる。選択ゲートSG1 aがVcc、制御ゲートCG1 a~8 aがVccとされる。選択ゲートSG2 aは書き込み動作中0Vである。同時に、信号VRFY aが“H”、PBAが“L”となる。“0”書き込みの場合は、フリップ・フロップFF1にノードN1が“L”になるようにデータがラッチされているため、ビット線BL aは電圧VBHaによりVccに充電される。“1”又は“2”書き込みの場合は、ビット線BL aは0Vである。

【0050】続いて、選択ゲートSG1 a、制御ゲートCG1 a~8 aが10V、電圧VBHa、Vrwが8V、電圧VBMaが1Vとなる。“1”書き込みの場合は、フリップ・フロップFF2にノードN3が“L”になるようにデータがラッチされているため、ビット線BL aには電圧VBMaにより1Vが印加される。“2”書き込みの場合はビット線BL aは0V、“0”書き込みの場合は8Vとなる。この後、選択された制御ゲートCG2 aが20Vとされる。

【0051】“1”又は“2”書き込みの場合は、ビット線BL aと制御ゲートCG2 aの電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線BL aを1Vにして制御ゲートCG2 aとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧8Vによってメモリセルのしきい値は実効的には変わらない。

【0052】書き込み動作の終了時は、まず選択ゲートSG1 a、制御ゲートCG1 a~8 aを0Vとし、

12

“0”書き込み時のビット線BL aの電圧8Vは遅れて0Vにリセットされる。この順序が反転すると一時的に“2”書き込み動作の状態ができて、“0”書き込み時に間違ったデータを書いてしまうからである。

【0053】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。

【0054】ベリファイ読み出しは、読み出し第1サイクルに似ている。違うのは、まずフリップ・フロップFF1のデータを反転すること、電圧VbがVccとなること、信号VRFY a、VRFY bが出力され、その時電圧VBL b、VBMbがそれぞれ2.5V、0.5Vとなることである。電圧Vb、VBL b、VBMbとフリップ・フロップFF1、2のデータによって、ダミービット線BL bの電圧は決定される。信号VRFY a、VRFY bは、選択ゲートSG1 a、2 a、制御ゲートCG1 a~8 aが0Vにリセットされた後で信号φn1、φp1がそれぞれ“L”、“H”なる前に出力される。言い替えると、ビット線BL aの電位がメモリセルのしきい値によって決定した後で、フリップ・フロップFF1がリセットされる前である。

【0055】フリップ・フロップFF1のデータを反転動作を説明する。まず、電圧Vbが2.5Vとなってダミービット線となるビット線BL bはプリチャージされる。また、プリチャージ信号φpa、φpbが“L”となってビット線BL a、BL bはフローティングにされる。続いて、信号PBAが“L”となって、ノードN1が“L”の場合のみビット線BL aは2.5V以上に充電される。その後、フリップ・フロップ活性化信号φn1、φp1がそれぞれ“L”、“H”となって、フリップ・フロップFF1はリセットされる。信号φa1、φb1が“H”となってフリップ・フロップFF1とビット線BL a、BL bは接続され、信号φn1、φp1がそれぞれ“H”、“L”となってビット線電位がセンスされる。この動作によってフリップ・フロップFF1のデータは反転される。

【0056】次に、フリップ・フロップFF1にラッチされているデータ(data1)、フリップ・フロップFF2にラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるデータ反転動作後のビット線BLの電圧を説明する。data1は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合はノードN1はデータ反転動作後に“H”、“1”又は“2”書き込みの場合はノードN1はデータ反転動作後に“L”である。data2は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合はノードN3は“L”、“2”書き込みの場合はノードN3は“H”である。

【0057】“0”データ書き込み後のベリファイ読み出し動作では、メモリセルの状態によらず、信号VRF

13

Yaが“H”となることで0Vの電圧VBLa又はVB  
Maによってビット線BLは“L”となる。よって、フ  
リップ・フロップFF1によってノードN1が“L”に  
なるようにビット線BLaはセンスされ、ラッチされる  
再書き込みデータは、“0”である。

【0058】“1”データ書き込み後のペリファイ読み  
出し動作では、信号VRFYbが“H”となってダミー  
ビット線BLbは2.5Vとされる。よって、メモリセ  
ルが“1”書き込み状態に達していない場合、ビット線  
BLaは2.5V以上で、フリップ・フロップFF1によ  
ってノードN1が“H”になるようにビット線BLa  
はセンスされ、ラッチされる再書き込みデータは、

“1”である。メモリセルが“1”書き込み状態に達し  
ている場合、ビット線BLaは2.5V以下で、フリッ  
プ・フロップFF1によってノードN1が“L”になる  
ようにビット線BLaはセンスされ、ラッチされる再書  
き込みデータは、“0”である。

【0059】“2”データ書き込み後のペリファイ読み  
出し動作では、信号VRFYbが“H”となってダミー  
ビット線BLbは0.5Vとされる。よって、メモリセ  
ルが“2”書き込み状態に達していない場合、ビット線  
BLaは0.5V以上で、フリップ・フロップFF1によ  
ってノードN1が“H”になるようにビット線BLa  
はセンスされ、ラッチされる再書き込みデータは、

“2”である。メモリセルが“2”書き込み状態に達し  
ている場合、ビット線BLaは0.5V以下で、フリッ  
プ・フロップFF1によってノードN1が“L”になる\*

14

\*ようにビット線BLaはセンスされ、ラッチされる再書  
き込みデータは、“0”である。

【0060】このペリファイ読み出し動作によって、書  
き込みデータとメモリセルの書き込み状態から再書き込  
みデータが下記の(表1)のように設定される。

【0061】

【表1】

書き込みデータ	0 0 0 1 1 2 2 2
メモリセルのデータ	0 1 2 0 1 0 1 2
再書き込みデータ	0 0 0 1 0 2 2 0

【0062】この(表1)から分かるように、“1”書  
き込み状態になるべきにもかかわらず“1”書き込み不  
足のメモリセルのみ再度“1”書き込みが行われ、  
“2”書き込み状態になるべきにもかかわらず“2”書  
き込み不足のメモリセルにのみ再度“2”書き込みが行  
われるようになっている。

【0063】書き込み動作とペリファイ読み出し動作を  
繰り返し行うことによって、データ書き込みは行われ  
る。

【0064】下記の(表2)に、消去、書き込み、読み  
出し、ペリファイ読み出し時のメモリセルアレイ各部の  
電位を示す。

【0065】

【表2】

	消 去	書 き 込 み			読 み 出 し		ペリファイ 読 み 出 し
		"0"	"1"	"2"	第1サイクル "0"読み出し時 の"H"	第2サイクル "2"読み出し時 の"L"	
BLa	20V	8V	1V	0V	"0"読み出し時 の"H"	"2"読み出し時 の"L"	図17参照
SG1a	20V		10V		6V	6V	6V
CG1a	0V		10V		6V	6V	6V
CG2a	0V		20V		2V	2V	2V
CG3a	0V		10V		6V	6V	6V
CG4a	0V		10V		6V	6V	6V
CG5a	0V		10V		6V	6V	6V
CG6a	0V		10V		6V	6V	6V
CG7a	0V		10V		6V	6V	6V
CG8a	0V		10V		6V	6V	6V
SG2a	20V		0V		6V	6V	6V
Vsa	20V		0V		6V	6V	6V
pウェル	20V		0V		0V	0V	0V

【0066】図18は、第2の実施形態におけるNOR  
セル型EEPROMのメモリセルアレイ1とビット線制  
御回路2の具体的な構成を示している。NOR型セルの

一端はビット線BLに接続され、他端は共通ソース線V  
sと接続される。ワード線WLは、複数個のNOR型セ  
ルで共有され、1本のワード線を共有するメモリセルM



15

はページを構成する。メモリセルはそのしきい値 $V_t$ でデータを記憶し、図12のように“0”、“1”、“2”データを記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施形態では、ワード線を共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1 (a) (b) はp基板上に形成されている。

【0067】n-ch Tr. Qn 26~28とp-ch Tr. Qn 15~17、n-ch Tr. Qn 29~31とp-ch Tr. Qn 18~20でそれぞれフリップ・フロップFF3、4を構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。フリップ・フロップFF3は、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報を持しているか、“1”又は“2”の情報を持しているか」、を読み出しデータ情報としてラッチする。フリップ・フロップFF4は、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報を持しているか、“0”又は“1”の情報を持しているか」、を読み出しデータ情報としてラッチする。

【0068】n-ch Tr. Qn 21は、プリチャージ信号 $\phi_{pa}$ が“H”となると電圧 $V_a$ をビット線BLaに転送する。n-ch Tr. Qn 36は、プリチャージ信号 $\phi_{pb}$ が“H”となると電圧 $V_b$ をビット線BLbに転送する。n-ch Tr. Qn 24、25、p-ch Tr. 11~14は、フリップ・フロップFF3、FF4にラッチされているデータに応じて、電圧VBHa、VBMa、0Vを選択的にビット線BLaに転送する。n-ch Tr. Qn 32、33、p-ch Tr. 21~24は、フリップ・フロップFF3、FF4にラッチされているデータに応じて、電圧VBHb、VBMb、0Vを選択的にビット線BLbに転送する。n-ch Tr. Qn 22は信号 $\phi_{a1}$ が“H”となることでフリップ・フロップFF3とビット線BLaを接続する。n-ch Tr. Qn 23は信号 $\phi_{a2}$ が“H”となることでフリップ・フロップFF4とビット線BLaを接続する。n-ch Tr. Qn 35は信号 $\phi_{b1}$ が“H”となることでフリップ・フロップFF3とビット線BLbを接続する。n-ch Tr. Qn 34は信号 $\phi_{b2}$ が“H”となることでフリップ・フロップFF4とビット線BLbを接続する。

【0069】次に、このように構成されたEEPROMの動作を図19~21に従って説明する。図19は読み出し動作のタイミング、図20は書き込み動作のタイミング、図21はベリファイ読み出し動作のタイミングを示している。いずれもワード線WL aが選択された場合を例に示してある。

16

【0070】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧 $V_b$ が1Vとなってダミービット線となるビット線BLbはプリチャージされる。また、プリチャージ信号 $\phi_{pa}$ が“L”となって選択ビット線BLaはフローティングにされ、共通ソース線Vsaが6Vとなる。続いて、ワード線WL aは6Vとされる。選択されたメモリセルにデータ“0”が書き込まれている場合のみ、ビット線BLaの電圧は0.5V以下となる。

【0071】この後、フリップ・フロップ活性化信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“L”、“H”となって、フリップ・フロップFF3はリセットされる。信号 $\phi_{a1}$ 、 $\phi_{b1}$ が“H”となってフリップ・フロップFF3とビット線BLa、BLbは接続され、信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“H”、“L”となってビット線電位がセンスされ、フリップ・フロップFF3に、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【0072】読み出し第2サイクルは読み出し第1サイクルと、ダミービット線BLbの電圧が1Vでなく3Vであること、信号 $\phi_{a1}$ 、 $\phi_{b1}$ 、 $\phi_{n1}$ 、 $\phi_{p1}$ のかわりに信号 $\phi_{a2}$ 、 $\phi_{b2}$ 、 $\phi_{n2}$ 、 $\phi_{p2}$ が出力されることが違う。よって、読み出し第2サイクルでは、フリップ・フロップFF4に、「“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0073】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。

【0074】データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値 $V_t$ は5.5V以上となっている。ワード線WL aを20Vにし、ビット線BLaを0Vとして行われる。

【0075】書き込み動作では、まずプリチャージ信号 $\phi_{pa}$ が“L”となってビット線BLaがフローティングにされる。続いて、信号VRFYBaが“L”、Paが“H”となる。“0”書き込みの場合は、フリップ・フロップFF3にノードN5が“H”になるようにデータがラッチされているため、ビット線BLaは0Vにされる。“1”又は“2”書き込みの場合は、ビット線BLaは電圧VBHa又はVBMaによってVccにされる。

【0076】続いて、電圧VBHa、Vrwが8V、電圧VBMaが7Vとなる。“1”書き込みの場合は、フリップ・フロップFF4にノードN7が“H”になるようにデータがラッチされているため、ビット線BLaには電圧VBMaにより7Vが印加される。“2”書き込みの場合はビット線BLaは8V、“0”書き込みの場合は0Vとなる。この後、選択されたワード線WL aが-1.2Vとされる。

【0077】“1”又は“2”書き込みの場合は、ビット線BLaとワード線WL aの電位差によって電子がメ

17

メモリセルの電荷蓄積層から放出され、メモリセルのしきい値は低下する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線BLaを7Vにしてワード線WL aとの電位差を1.9Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモリセルのしきい値は実効的には変わらない。

【0078】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリファイ読み出しが行われる。

【0079】ペリファイ読み出しは、読み出し第1サイクルに似ている。違うのは、まずフリップ・フロップFF3のデータを反転すること、電圧Vbが0Vであること、信号VRFYBa, VRFYBbが出力され、その時電圧VBHb, VBMBがそれぞれ1.5V, 3.5Vとなることである。電圧Vb, VBHb, VBMBとフリップ・フロップFF3, 4のデータによって、ダミービット線BLbの電圧は決定される。信号VRFYBa, VRFYBbは、ワード線WL aが0Vにリセットされた後で信号φnl, φplがそれぞれ“L”, “H”なる前に出力される。言い替えると、ビット線BL aの電位がメモリセルのしきい値によって決定した後で、フリップ・フロップFF3がリセットされる前である。

【0080】まず、フリップ・フロップFF1のデータを反転動作を説明する。まず電圧Va, VbがそれぞれVcc, 2.5Vとなってビット線BL a, BL bはプリチャージされる。また、プリチャージ信号φpa, φpbが“L”となってビット線BL a, BL bはフローティングにされる。続いて、信号Paが“H”となって、ノードN3が“H”の場合のみビット線BL aは2.5V以下に放電される。その後、フリップ・フロップ活性化信号φnl, φplがそれぞれ“L”, “H”となって、フリップ・フロップFF3はリセットされる。信号φal, φblが“H”となってフリップ・フロップFF3とビット線BL a, BL bは接続され、信号φnl, φplがそれぞれ“H”, “L”となってビット線電位がセンスされる。この動作によってフリップ・フロップFF3のデータは反転される。

【0081】次に、フリップ・フロップFF3にラッチされているデータ(data1)、フリップ・フロップFF4にラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるデータ反転動作後のビット線BLの電圧を説明する。data1は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合はノードN5はデータ反転動作後に“L”、“1”又は“2”書き込みの場合はノードN5はデータ反転動作後に“H”ある。data2は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合はノードN7は“H”、

18

“2”書き込みの場合はノードN7は“L”である。

【0082】“0”データ書き込み後のペリファイ読み出し動作では、メモリセルの状態によらず、信号VRFYBaが“L”となることで電圧VBH a又はVBMaによってビット線BL aは“H”となる。よって、フリップ・フロップFF3によってノードN5が“H”になるようにビット線BL aはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0083】“1”データ書き込み後のペリファイ読み出し動作では、信号VRFYBbが“L”となってダミービット線BL bは1.5Vとされる。よって、メモリセルが“1”書き込み状態に達していない場合、ビット線BL aは1.5V以下で、フリップ・フロップFF3によってノードN5が“L”になるようにビット線BL aはセンスされ、ラッチされる再書き込みデータは、“0”である。メモリセルが“1”書き込み状態に達している場合、ビット線BL aは1.5V以上で、フリップ・フロップFF3によってノードN5が“H”になるようにビット線BL aはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0084】“2”データ書き込み後のペリファイ読み出し動作では、信号VRFYBbが“L”となってダミービット線BL bは3.5Vとされる。よって、メモリセルが“2”書き込み状態に達していない場合、ビット線BL aは3.5V以下で、フリップ・フロップFF3によってノードN5が“L”になるようにビット線BL aはセンスされ、ラッチされる再書き込みデータは、“2”である。メモリセルが“2”書き込み状態に達している場合、ビット線BL aは3.5V以上で、フリップ・フロップFF3によってノードN5が“H”になるようにビット線BL aはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0085】このペリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが前記(表1)のように設定される。(表1)から分かるように、“1”書き込み状態になるべきにもかかわらず“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み状態になるべきにもかかわらず“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。

【0086】書き込み動作とペリファイ読み出し動作を繰り返し行うことによって、データ書き込みは行われる。

【0087】下記の(表3)に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0088】

【表3】

19

	消 去	き 込 み			読 み 出 し		ベリファイ 読 み 出 し
		"0"	"1"	"2"	第1バイト	第2バイト	
BLa	0V	0V	7V	8V	"0"読み出し時の "L"	"2"読み出し時の "H"	図2.1参照
WLa	20V	-12V			6V	6V	6V
Vsa	0V	0V			6V	6V	6V

【0.089】図2.2は、図1.4に見られるフリップ・フロップFF1、2、或いは図1.8に見られるフリップ・フロップFF3、4と図1.3に見られる入出力データ変換回路4との間のデータ入出力を制御する回路である。インバータI1とNAND回路G1でカラム・デコーダ3を構成し、カラム活性化信号CENBが“H”となるとアドレス信号によって選択されたデコーダ出力は“H”となり、ノードA、B、C、DはそれぞれIOA1、IOB1、IOA2、IOB2と接続される。ノードA、B、C、Dは図1.4でそれぞれノードN1、2、3、4、図1.8でそれぞれノードN6、5、8、7である。ビット線BLaが選択された場合の、読み出し／書き込みデータとIOA1、IOB1、IOA2、IOB2の関係は、下記の(表4)の通りである。

【0.090】

【表4】

書き込みデータ	IOA1	IOB1	IOA2	IOB2
0	L	H	—	—
1	H	L	L	H
2	H	L	H	L

(a)

読み込みデータ	IOA1	IOB1	IOA2	IOB2
0	H	L	H	L
1	L	H	H	L
2	L	H	L	H

(b)

【0.091】

【発明の効果】以上説明したように本発明によれば、回路面積の増大を抑制しながら、しかも1つのメモリセルに3つ以上の書き込み状態を設定し、なおかつそれぞれのメモリセルのそれぞれの書き込み状態にするまでの書き込み時間を、書き込みベリファイ制御を行うことによって独立に最適化し、最終的に書き込まれたメモリセルのしきい値分布を高速に小さい範囲に収めることを可能としたEEPROMを得ることができる。

【図面の簡単な説明】

20

【図1】第1の実施形態に係わるNANDセルアレイの構成を示す図。

【図2】第1の実施形態におけるNANDセルの読み出し動作を示す図。

【図3】第1の実施形態におけるメモリセルのしきい値と読み出し時のビット線出力電圧の関係を示す図。

【図4】第1の実施形態における書き込み時間と読み出し時のビット線出力電圧の関係を示す図。

【図5】第1の実施形態における1メモリセルに2値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図6】第1の実施形態における1メモリセルに3値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図7】第2の実施形態に係わるNORセルアレイの構成を示す図。

【図8】第2の実施形態におけるNORセルの読み出し動作を示す図。

【図9】第2の実施形態におけるメモリセルのしきい値と読み出し時のビット線出力電圧の関係を示す図。

【図10】第2の実施形態における書き込み時間と読み出し時のビット線出力電圧の関係を示す図。

【図11】第2の実施形態における1メモリセルに2値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図12】第2の実施形態における1メモリセルに3値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図13】第1、2の実施形態に係わるEEPROMの構成を示すブロック図。

【図14】第1の実施形態におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図15】第1の実施形態における読み出し動作を示すタイミング図。

【図16】第1の実施形態における書き込み動作を示すタイミング図。

【図17】第1の実施形態におけるベリファイ読み出し動作を示すタイミング図。

【図18】第2の実施形態におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図19】第2の実施形態における読み出し動作を示すタイミング図。

21

【図 2 0】第 2 の実施形態における書き込み動作を示すタイミング図。

【図 2 1】第 2 の実施形態におけるベリファイ読み出し動作を示すタイミング図。

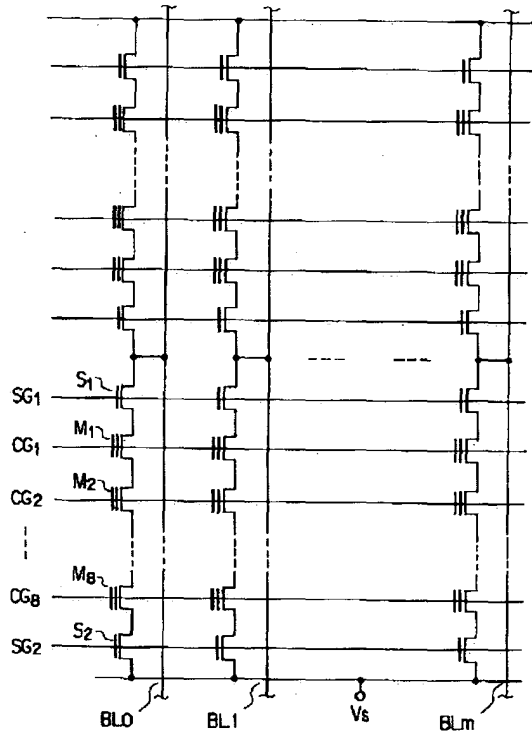
【図 2 2】第 1、2 の実施形態におけるカラム・デコーダの構成を示す図。

【符号の説明】

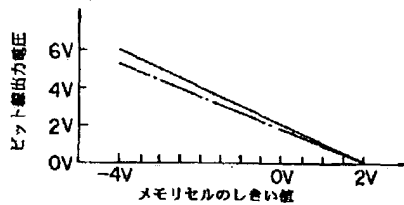
- \* 1 … メモリセルアレイ
- 2 … ビット線制御回路
- 3 … カラム・デコーダ
- 4 … 入出力データ変換回路
- 5 … データ入出力バッファ
- 6 … ワード線駆動回路

\*

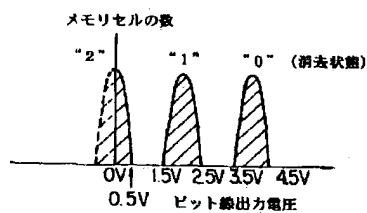
【図 1】



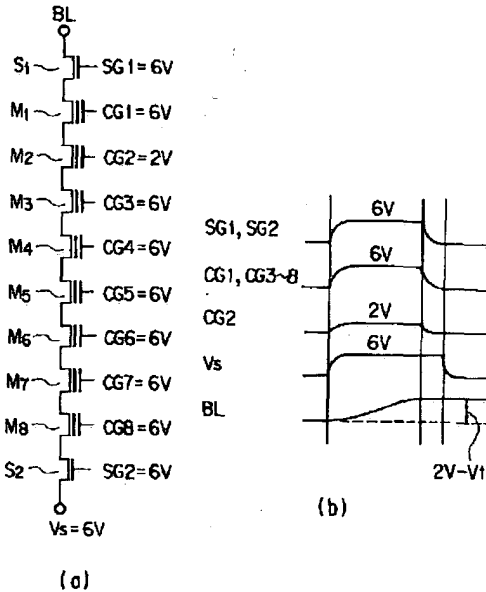
【図 3】



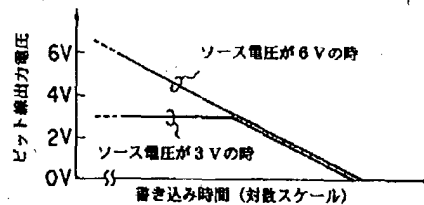
【図 6】



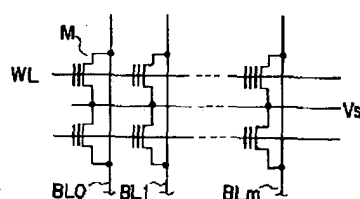
【図 2】



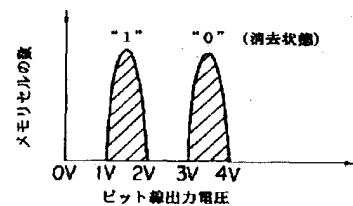
【図 4】



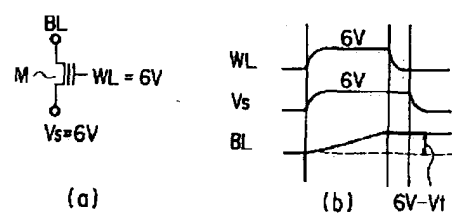
【図 7】



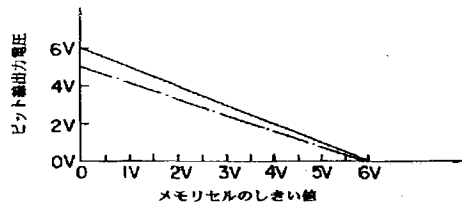
【図 5】



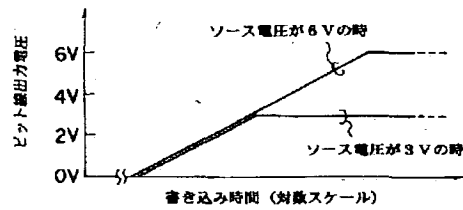
【図 8】



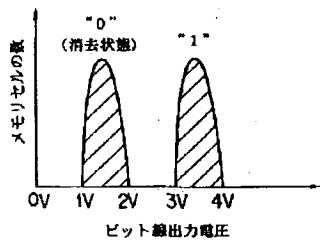
【図9】



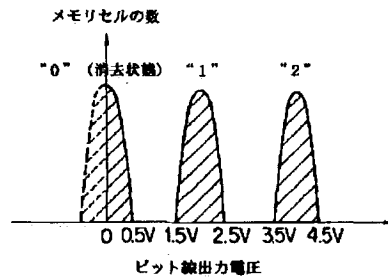
【図10】



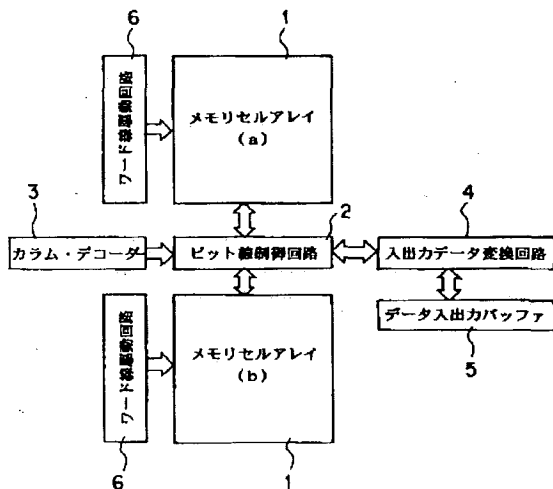
【図11】



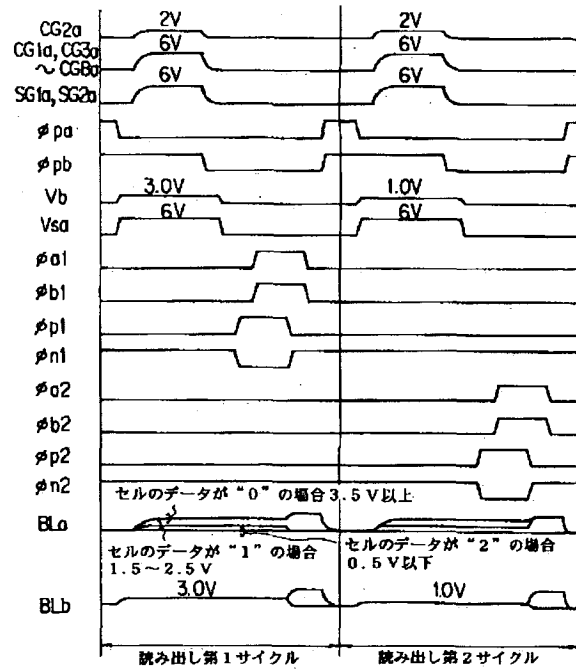
【図12】



【図13】



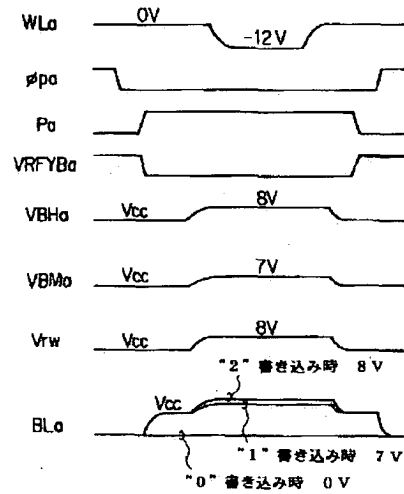
【図15】



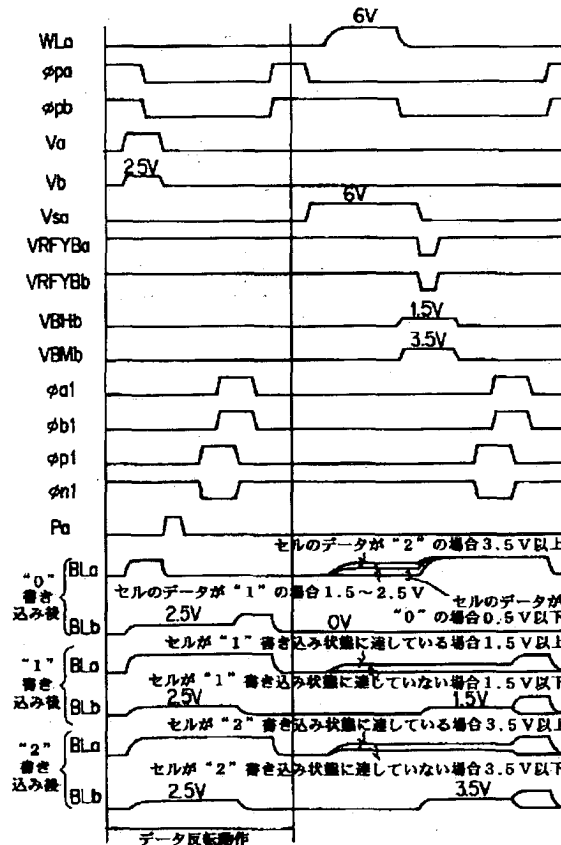
Timing diagram for the 74VHC00 (CMOS NAND2) showing input and output waveforms. The diagram includes signals for CG2a, CG1a, CG3a~CG8a, SG1a, ppa, PBa, VRFYa, VBLa, VBMa, VBHa, Vrw, and BLa. It shows a sequence of logic operations with voltage levels of 0V, Vcc, 10V, 20V, 1V, and 8V. Annotations indicate "0" and "1" data entry times.

Timing diagram for the 74VHC04 inverter. The diagram shows the relationship between various input and output signals and the data bus (PBa) over time. The signals include CG2a, CG1a, CG3a, CG8a, SG1a, SG2a, opa, opb, Vb, Vsa, VRFYa, VRFYb, VBLb, VBMB, oal, obl, op1, on1, and PBa. The diagram is divided into three sections: "0"書き込み後 (After writing "0"), "1"書き込み後 (After writing "1"), and "2"書き込み後 (After writing "2"). Each section shows the signals for BLa and BLb. Annotations indicate the output voltage levels for different data values: 2.5V for "0", 0.5V for "1", and 0.5V for "2". A note at the bottom indicates "データ反転動作" (Data inversion operation).

【図 20】



【图 2 1】



【図 2 2】

